

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-296754  
 (43)Date of publication of application : 21.10.2004

(51)Int.Cl. H01L 27/08  
 H01L 21/316  
 H01L 21/76  
 H01L 21/8234  
 H01L 27/088

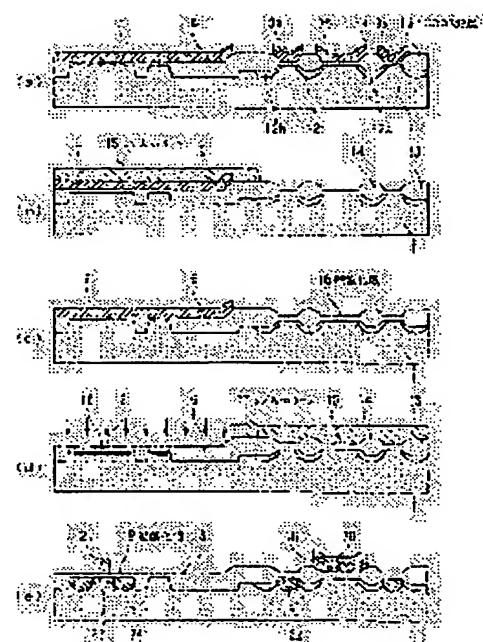
(21)Application number : 2003-086644 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 27.03.2003 (72)Inventor : UEHARA TAKASHI  
 IWAI HIRONAO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of a semiconductor device capable of preventing the deterioration of various characteristics in a low breakdown voltage region and a high breakdown voltage region, even when trench separation is employed especially in connection with the microfabrication of the low breakdown voltage region, in the semiconductor device having a low breakdown voltage transistor and a high breakdown voltage transistor having different thicknesses of gate insulating films.

**SOLUTION:** Separation in the high breakdown voltage region is effected by LOCOS separation 13 with a separating end having a smooth bird's beak configuration, and separation in the low breakdown voltage region is effected by trench separation 6 suitable for the microfabrication. The low breakdown voltage region is protected by a silicone nitride film 7 upon forming a thick thermal oxidation film 16 of the high breakdown voltage region, whereby the film 16 is formed separately from a thin thermal oxidation film 19 of the low breakdown voltage region. Accordingly, the semiconductor device and its manufacturing method can prevent the deterioration of various characteristics in both regions even when the trench separation is adopted especially in connection with the microfabrication of the low breakdown voltage region.



## LEGAL STATUS

[Date of request for examination] 01.08.2005  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

THIS PAGE BLANK (USPTO)

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

A low proof-pressure transistor and a high proof-pressure transistor are the semiconductor devices intermingled on the same semi-conductor substrate,

Trench separation which carries out isolation of said low proof-pressure transistor,

LOCOS separation which carries out isolation of said high proof-pressure transistor

The semiconductor device characterized by \*\*\*\*(ing).

[Claim 2]

In the manufacture approach of the semiconductor device which forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-conductor substrate,

The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation,

The process which forms in the 2nd field of said semi-conductor substrate the 2nd isolation which is LOCOS separation.

The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask,

The process which said oxidation-resistant mask layer is removed [ process ] and exposes a semi-conductor substrate front face to said 1st field,

The process which forms gate dielectric film with the 1st thin transistor in said 1st exposed field

\*\*\*\*\* — the manufacture approach of the semiconductor device characterized by things.

[Claim 3]

In the manufacture approach of the semiconductor device which forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-conductor substrate,

The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation,

The process which forms an oxidation-resistant mask layer all over said 1st field the active-region top of the 2nd transistor which should be formed in said 2nd field,

The process which oxidizes the semi-conductor substrate of said 2nd field alternatively by using said oxidation-resistant mask layer as a mask, and forms the 2nd isolation which is LOCOS separation,

The process which removes said oxidation-resistant mask layer on the active region of said 2nd transistor,

The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask,

The process which removes said oxidation-resistant mask layer, is made to expose a semi-conductor substrate front face to said 1st field, and forms gate dielectric film with the 1st thin transistor

\*\*\*\*\* — the manufacture approach of the semiconductor device characterized by things.

[Claim 4]

In the manufacture approach of the semiconductor device which forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-conductor substrate,

The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation,

The process which forms in the 2nd field of said semi-conductor substrate the 2nd isolation which is LOCOS separation,

The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask,

The process which forms the gate electrode of said 2nd transistor on said thick gate dielectric film,

The process which forms an insulator layer in the gate electrode surface of said 2nd transistor,

The process which removes said oxidation-resistant mask layer on said 1st field, is made to expose a semi-conductor substrate front face to said 1st field, and forms gate dielectric film with the 1st thin transistor,

The process which forms the gate electrode of said 1st transistor on said thin gate dielectric film

\*\*\*\*\* — the manufacture approach of the semiconductor device characterized by things.

[Claim 5]

It is the manufacture approach of a semiconductor device given in either claim 2 which said 1st transistor is a low

THIS PAGE BLANK (USPTO)

proof-pressure transistor, and is characterized by said 2nd transistor being a high proof-pressure transistor, claim 3 or claim 4.

[Claim 6]

The gate electrode of said 1st transistor is the manufacture approach of the semiconductor device according to claim 4 characterized by being thinner than the gate electrode of said 2nd transistor.

---

[Translation done.]

THIS PAGE BLANK (USPTO)

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

## [The field of the invention to which invention belongs]

This invention relates the low proof-pressure transistor from which the thickness of gate dielectric film differs mutually, a high proof-pressure transistor, and a different component isolation region of structure to the semiconductor device formed on the same semiconductor chip, and its manufacture approach.

[0002]

## [Description of the Prior Art]

Along with detailed-izing and high integration of a semiconductor device, the dimension of a component field and a component isolation region is also becoming still smaller. LOCOS with a process simple [ the former and isolation ] — advanced LOCOS to which it is impossible for the BAZU beak configuration in an isolation edge to have ignored as compared with the whole component dimension, and it controlled the BAZU beak although law had been used — law — further — LOCOS — law — instead of — trench separation (Shallow Trench)

Isolation;STI is used increasingly.

[0003]

Gate dielectric film was also thin-film-ized in accordance with detailed-izing and high integration of a semiconductor device, and supply voltage is also doubled and low-battery-ized from the problem on dependability. It is becoming general to form two or more gate dielectric film with which concomitant use with the conventional high supply voltage is needed with gate dielectric film, and thickness differs on a semi-conductor substrate from the problem on a system on the other hand according to it. As a remarkable example, with the semiconductor device for liquid crystal drivers, although an about [ 3V ] electrical potential difference is used and gate dielectric film is also about -10nm in the general low-battery drive CMOS circuit inside a chip, an about [ -40V ] electrical potential difference is independently required because of a display-panel drive, and about [ -100nm ] thick gate dielectric film is still used as an object for high proof-pressure MOS transistors. Thus, it is necessary to form a greatly different transistor of gate-dielectric-film thickness in the same semiconductor device.

[0004]

As an approach of forming two or more gate dielectric film with which thickness differs on the same equipment, the manufacture approach of the conventional semiconductor device Form the isolation by the introduction LOCOS method and the 1st gate dielectric film (thick film) of the MOS transistor for high pressure-proofing is formed in the whole surface by the post heating oxidization. After covering a high proof-pressure field with a resist mask and removing sentimentally dirtily the 1st gate dielectric film of a low proof-pressure transistor formation field more, it is common to remove a resist and to form the 2nd gate dielectric film (thin film) in the whole surface by thermal oxidation (for example, patent reference 1 reference).

[0005]

However, by this approach, as for a low proof-pressure MOS transistor formation field, formation of the 1st thick gate dielectric film and the removal process of the 1st thick gate dielectric film will be given, and the insulator layer of an isolation edge will retreat by over-etching by removal of gate dielectric film. When isolation is LOCOS separation, even if the insulator layer of a separation edge carries out considerable-amount retreat of the separation edge for a BAZU beak configuration, a separation edge can maintain a smooth configuration. However, in the trench separation currently used in the detailed low proof-pressure detailed MOS transistor field, since a separation edge was a steep configuration, when it became the configuration where the insulator layer retreated caudad greatly at the separation edge by over-etching, and the active region of a semi-conductor substrate projected, there was a trouble that degradation of the dependability of the gate dielectric film in the fall of a component property like a hump phenomenon or a reverse narrow channel property and a separation edge took place.

[0006]

As an example of the 2nd conventional manufacture approach, the isolation by the LOCOS method is formed first. After forming the film which protects a low proof-pressure MOS transistor formation field, the 1st gate dielectric film (thick film) and the 1st gate electrode are formed in a high proof-pressure field. After removing the protective coat, the approach of forming the 2nd gate dielectric film (thin film) and the 2nd gate electrode in a low proof-pressure field is also proposed (for example, patent reference 2 reference). According to this approach, since etching of an isolation region insulator layer is not carried out even if it forms isolation by trench separation, the

*THIS PAGE BLANK (USPTO)*

problem of the fall of a component property and degradation of the dependability of gate dielectric film in a low proof-pressure field is avoidable.

[0007]

[Patent reference 1]

JP,2001-176983,A

[0008]

[Patent reference 2]

JP,6-196639,A

[0009]

[Problem(s) to be Solved by the Invention]

If it changes into the advanced LOCOS separation and the trench separation which controlled the BAZU break according to the demand of a low proof pressure transistor formation field which has a detailed pattern for isolation , as the conventional manufacture approach of the above 1st was already described , the fall of a component property like the hump phenomenon in a low proof pressure field or a reverse narrow channel property and degradation of the dependability of gate dielectric film pose a problem , and the cure of that is required .

[0010]

On the other hand, although the fall of a component property and degradation of dependability are avoidable by the conventional manufacture approach of the above 2nd even if it is a time of making it trench separation, as described above, a trouble remains the following point. That is, if isolation is made trench separation, naturally also in a high proof-pressure field, it will become trench separation. Since it has a BAZU break configuration with a smooth separation edge as long as the conventional LOCOS separation is used Although degradation of a component property and a separation property etc. is not seen even if it forms the thick gate dielectric film for high pressure-proofing, if trench separation is adopted and the gate thermal oxidation film is formed thickly Heat stress increases for the configuration of a steep separation edge, and the problem of induction of the defect being carried out to a semi-conductor substrate, and causing defects, such as junction leak, arises.

[0011]

Even if this invention adopts trench separation especially with detailed-izing of a low proof-pressure field in the semiconductor device which has the low proof-pressure transistor from which the thickness of gate dielectric film differs, and a high proof-pressure transistor in view of the above-mentioned trouble, it aims at offering the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field.

[0012]

[Means for Solving the Problem]

In order to attain the above-mentioned purpose, it is the semiconductor device of this invention according to claim 1, and the semiconductor device with which a low proof-pressure transistor and a high proof-pressure transistor are intermingled on the same semi-conductor substrate, and is characterized by having the trench separation which carries out isolation of said low proof-pressure transistor, and the LOCOS separation which carries out isolation of said high proof-pressure transistor.

[0013]

In the manufacture approach of a semiconductor device that the manufacture approach of a semiconductor device according to claim 2 forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-conductor substrate The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation, The process which forms in the 2nd field of said semi-conductor substrate the 2nd isolation which is LOCOS separation, The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask, It is characterized by including the process which said oxidation-resistant mask layer is removed [ process ] and exposes a semi-conductor substrate front face to said 1st field, and the process which forms gate dielectric film with the 1st thin transistor in said 1st exposed field.

[0014]

In the manufacture approach of a semiconductor device that the manufacture approach of a semiconductor device according to claim 3 forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-conductor substrate The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation, The process which forms an oxidation-resistant mask layer all over said 1st field the active-region top of the 2nd transistor which should be formed in said 2nd field, The process which oxidizes the semi-conductor substrate of said 2nd field alternatively by using said oxidation-resistant mask layer as a mask, and forms the 2nd isolation which is LOCOS separation, The process which removes said oxidation-resistant mask layer on the active region of said 2nd transistor, The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask, It is characterized by including the process which removes said oxidation-resistant mask layer, is made to expose a semi-conductor substrate front face to said 1st field, and forms gate dielectric film with the 1st thin transistor.

[0015]

In the manufacture approach of a semiconductor device that the manufacture approach of a semiconductor device according to claim 4 forms a low proof-pressure transistor and a high proof-pressure transistor on the same semi-

THIS PAGE BLANK (USPTO)

conductor substrate. The process which forms in the 1st field of a semi-conductor substrate the 1st isolation which is trench separation. The process which forms in the 2nd field of said semi-conductor substrate the 2nd isolation which is LOCOS separation. The process which forms gate dielectric film with the 2nd thick transistor in the front face of said semi-conductor substrate which exposed said 1st field to said 2nd field by using a wrap oxidation resistance mask layer as a mask. The process which forms the gate electrode of said 2nd transistor on said thick gate dielectric film. The process which forms an insulator layer in the gate electrode surface of said 2nd transistor. The process which removes said oxidation-resistant mask layer on said 1st field, is made to expose a semi-conductor substrate front face to said 1st field, and forms gate dielectric film with the 1st thin transistor. It is characterized by including the process which forms the gate electrode of said 1st transistor on said thin gate dielectric film.

[0016]

It is characterized by for said 1st transistor of the manufacture approach of a semiconductor device according to claim 5 being a low proof-pressure transistor in the manufacture approach of a semiconductor device given in either claim 2, claim 3 or claim 4, and said 2nd transistor being a high proof-pressure transistor.

[0017]

The manufacture approach of a semiconductor device according to claim 6 is characterized by the gate electrode of said 1st transistor being thinner than the gate electrode of said 2nd transistor in the manufacture approach of a semiconductor device according to claim 4.

[0018]

As mentioned above, in the semiconductor device which has the low proof-pressure transistor from which the thickness of gate dielectric film differs, and a high proof-pressure transistor, even if it adopts trench separation especially with detailed-izing of a low proof-pressure field, the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered.

[0019]

[Embodiment of the Invention]

The gestalt of operation of this invention is explained below, referring to a drawing.

(Gestalt 1 of operation)

Hereafter, the manufacture approach of the semiconductor device by the gestalt 1 of operation of this invention is explained using drawing 1 and the process sectional view of drawing 2. Here, the semiconductor device which forms high pressure-proofing and a low proof-pressure MOS transistor on the same semi-conductor substrate is shown. Moreover, in drawing, the formation field of a low proof-pressure transistor and the field of a right half of the field of a left half are formation fields of a high proof-pressure transistor.

[0020]

Drawing 1 (a) the resist pattern formation process in the gestalt 1 of operation The shown process sectional view, the process sectional view showing the process in which drawing 1 (b) forms the slot for isolation in the gestalt 1 of operation, the process sectional view showing a trench separation formation process [ in / in drawing 1 (c) / the gestalt 1 of operation ], and drawing 1 (d) the silicon nitride etching process in the gestalt 1 of operation The shown process sectional view, the process sectional view showing an ion-implantation layer formation process [ in / in drawing 1 (e) / the gestalt 1 of operation ], the process sectional view showing a LOCOS separation formation process [ in / in drawing 2 (a) / the gestalt 1 of operation ], and drawing 2 (b) the silicon nitride removal process in the gestalt 1 of operation The shown process sectional view, the process sectional view showing a thermal oxidation film formation process [ in / in drawing 2 (c) / the gestalt 1 of operation ], the process sectional view showing an ion-implantation layer formation process [ in / in drawing 2 (d) / the gestalt 1 of operation ], and drawing 2 (e) are the process sectional views showing the transistor formation process in the gestalt 1 of operation.

[0021]

First, in drawing 1 (a), on the P-type semiconductor substrate 1, sequential formation of the 10nm pad oxide film 2 and the 100nm silicon nitride 3 is carried out, and the resist pattern 4 for forming the component isolation region of a low proof-pressure field is formed. Next, in drawing 1 (b), the silicon nitride 3, the pad oxide film 2, and the P-type semiconductor substrate 1 are etched into a mask for a resist pattern 4 the total amount of 300nm, the slot 5 for isolation is formed, and a resist pattern 4 is removed. Then, in drawing 1 (c), it embeds with thermal oxidation and a CVD method, and an oxide film is formed in the slot 5 interior, CMP (chemical machinery polish) performs surface flattening, the silicon nitride 3 is removed completely, and the trench separation 6 as isolation is formed in a low proof-pressure field. Next, in drawing 1 (d), the resist pattern 8 for forming the 200nm silicon nitride 7 in the whole surface, and forming the component isolation region of a high proof-pressure field etc. shortly is formed, and the silicon nitride 7 is etched into a mask for a resist pattern 8. At this time, silicon nitride pattern 9a of a high proof-pressure transistor formation field specifies a source drain field, and silicon nitride pattern 9b specifies the channel field of a high proof-pressure transistor. That is, 9a and 9b specify the active region of a transistor. Next, in drawing 1 (e), after removing a resist pattern 8, another resist pattern 10 is formed, phosphorus ion is poured in and the ion-implantation layer 11 is formed. This impregnation is for forming an N type offset source drain in the both sides of the channel field of a high proof-pressure transistor. Next, in drawing 2 (a), the offset source drain oxide film 14 of the LOCOS separation 13 and the high proof-pressure transistor as isolation is formed in a high proof-pressure field by removing a resist pattern 10 and oxidizing thermally the silicon nitride 7 containing the silicon nitride patterns 9a and 9b as a mask. In this oxidation process, the ion-implantation layer 11 is diffused in the P-type semiconductor

**THIS PAGE BLANK (USPTO)**

substrate 1, and offset source drain 12a and inside concentration N type diffusion layer 12b are formed in coincidence. Then, in drawing 2 (b), the wrap resist pattern 15 is formed for a low proof-pressure field, and the silicon nitrides 9a and 9b of a high proof-pressure field are removed more dirtily in a businesslike manner. Next, it drawing 2 (c) Sets and a resist pattern 15 is removed, the ion implantation which sets the threshold electrical potential difference of a channel field etc. as a high proof-pressure field is performed, wet etching removes the pad oxide film 2 formed in the beginning of a process. P-type semiconductor substrate 1 front face is exposed, and the 110nm thermal oxidation film 16 is formed as gate dielectric film with a thick high proof-pressure transistor. Then, in drawing 2 (d), the silicon nitride 7 of a low proof-pressure field is removed, the ion-implantation layer 18 which forms a resist pattern 17 and determines the threshold electrical potential difference of a low proof-pressure transistor as a low proof-pressure field, and the ion implantation for channel stopper formation are performed, and a resist pattern 17 is removed. And in drawing 2 (e), the pad oxide film 2 of the active region of this low proof-pressure transistor is removed more sentimentally dirtily, and the 15nm thermal oxidation film 19 is formed as gate dielectric film with a thin low proof-pressure transistor. Then, 300nm of silicone films is deposited on the whole surface, and the gate electrodes 20 and 21 are formed by lithography and etching. After this, the N type high concentration diffusion layers 22 and 24 which serve as the N type LDD layer 23 of a low proof-pressure field, the source, and a drain according to the usual manufacture approach are formed, and a transistor is formed.

[0022]

As explained above, according to the manufacture approach of the semiconductor device in the gestalt 1 of operation, a high proof-pressure field has a BAZU beak configuration with a smooth isolation edge, and is formed by the conventional LOCOS separation which does not cause property degradation of a high proof-pressure MOS transistor, and a low proof-pressure field is formed by the trench separation suitable for detailed-ization. Especially, in a high proof-pressure field, the LOCOS offset structure currently generally used as a high proof-pressure transistor as usual can be formed in LOCOS separation formation and coincidence. Moreover, in the last process (drawing 2 (b) – (c)) which forms the thick gate oxide of a high proof-pressure field in order to form gate oxide separately in a high proof-pressure field and a low proof-pressure field, since the low proof-pressure field is still covered by the silicon nitride 7, it is not exposed to the process which the thick gate oxidation for high proof-pressure transistors is not made to a low proof-pressure field, therefore naturally removes the thick gate oxide, either. This means that the separation edge of the trench separation 6 is not etched at all by the over etching of the removal process of the thermal oxidation film 16 for the gates.

[0023]

Here, although there is a process which removes the pad oxide film 2 also in the process before gate thermal oxidation film 19 formation of drawing 2 (d) – (e) for low proof-pressure transistors, the thickness of the pad oxide film itself hardly etches the separation edge of the trench separation 6 thinly with 10nm.

[0024]

Therefore, in the semiconductor device which has the low proof-pressure transistor from which the thickness of gate dielectric film differs, and a high proof-pressure transistor, even if it adopts trench separation especially with detailed-izing of a low proof-pressure field, the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered. (Gestalt 2 of operation)

Hereafter, the manufacture approach of the semiconductor device by the gestalt 2 of operation of this invention is explained using drawing 3 and the process sectional view of drawing 4. It is the semiconductor device which forms high pressure-proofing and a low proof-pressure MOS transistor on the same semi-conductor substrate as well as the gestalt 1 of operation, and in drawing, the formation field of a low proof-pressure transistor and the field of a right half are the formation field of a high proof-pressure transistor, and the field of a left half also explains this semiconductor device along with a drawing below.

[0025]

Drawing 3 The process sectional view at the time of isolation completion [ in / in (a) / the gestalt 1 of operation ], the process sectional view of a CVD-SiO<sub>2</sub> film deposition process [ in / in drawing 3 (b) / the gestalt 2 of operation ], the process sectional view of the pattern removal process of a high proof-pressure field [ in / in drawing 3 (c) / the gestalt 2 of operation ], drawing 3 The process sectional view of the gate-dielectric-film formation process of a high proof-pressure transistor [ in / in (d) / the gestalt 2 of operation ], the process sectional view of the gate electrode formation process [ in / in drawing 3 (e) / the gestalt 2 of operation ] for high proof-pressure transistors, the process sectional view of an oxide-film formation process [ in / in drawing 4 (a) / the gestalt 2 of operation ], drawing 4 The process sectional view of an ion-implantation layer formation process [ in / in (b) / the gestalt 2 of operation ] and drawing 4 (c) are the process sectional views of the transistor formation process in the gestalt 2 of operation.

[0026]

The process which forms LOCOS separation to the low proof-pressure field of a semi-conductor substrate at trench separation and a high proof-pressure field is the same as the gestalt 1 (drawing 1 (a) – drawing 2 (a)) of operation, and explanation of a process until it forms a process sectional view and LOCOS separation is omitted. Drawing 3 (a) is the sectional view completed to isolation at the same process as the gestalt 1 of operation. After this process, in drawing 3 (b), 20nm of CVD-SiO<sub>2</sub> film 31 is deposited on the whole surface, and the wrap resist pattern 32 is formed for the field which forms a low proof-pressure MOS transistor. Then, a resist pattern 32 is used as a mask, CVD-SiO<sub>2</sub> film 31 is etched alternatively, and a resist pattern 32 is removed. Next, in drawing 3 (c),

THIS PAGE BLANK (USPTO)

a heat phosphoric acid etc. removes alternatively the patterns 9a and 9b of a high proof-pressure field for CVD-SiO<sub>2</sub> film 31 by which patterning was carried out more sentimentally dirtily on a mask. Then, in drawing 3 (d), through the pad oxide film 2 first formed in the high proof-pressure field, an ion implantation is performed to the channel field of the P-type semiconductor substrate 1, wet etching removes the pad oxide film 2 of a high proof-pressure field, and CVD-SiO<sub>2</sub> film 31 to coincidence, P-type semiconductor substrate 1 front face is exposed for a threshold electrical-potential-difference setup of a high proof-pressure MOS transistor etc., and the 110nm thermal oxidation film 16 is formed as gate dielectric film of a high proof-pressure transistor. Furthermore, in drawing 3 (e), 300nm of silicone films which doped the impurity is deposited on the whole surface, and the 1st gate electrode 33 for high proof-pressure transistors is formed by lithography and etching. Then, in drawing 4 (a), after forming 20nm of oxide films 34 which protect the 1st gate electrode 33 by thermal oxidation, the silicon nitride 7 which it had left to the low proof-pressure field is removed. Next, in drawing 4 (b), the ion implantation for a threshold electrical-potential-difference setup of a low proof-pressure MOS transistor is performed to the P-type semiconductor substrate 1 through the pad oxide film 2 which formed the resist pattern 35 in the field which forms a high proof-pressure MOS transistor, and was first formed in the low proof-pressure field by making this into a mask, and the ion-implantation layer 36 is formed. And in drawing 4 (c), after removing a resist 35, the pad oxide film 2 is removed more sentimentally dirtily, the front face of the P-type semiconductor substrate 1 is exposed, and the 15nm thermal oxidation film 37 is formed as gate dielectric film of a low proof-pressure transistor. Then, 150nm of silicone films which doped the impurity is deposited on the whole surface, and the 2nd gate electrode 38 is formed by lithography and etching. Under the present circumstances, since the 1st gate electrode 33 is covered with the oxide film 34, it is not protected and etched at the time of etching of the silicone film for the 2nd gate electrodes, either. Then, of an ion implantation, the N type LDD layer 23 of a low proof-pressure MOS transistor, the source drain 24 of a low proof-pressure MOS transistor, and the N type high concentration source drain of a high proof-pressure MOS transistor are formed, and a transistor is formed.

[0027]

As explained above, according to the manufacture approach of the semiconductor device in the gestalt 2 of operation, a high proof-pressure field has a BAZU beak configuration with a smooth isolation edge, and is formed by the conventional LOCOS separation which does not cause property degradation of a high proof-pressure MOS transistor, and a low proof-pressure field is formed by the trench separation suitable for detailed-ization. Moreover, in case the thick gate oxide of a high proof-pressure field is formed, since the low proof-pressure field is covered by the oxidation-resistant silicon nitride 7, the silicon substrate surface of a low proof-pressure field does not oxidize. Therefore, since it is not necessary to remove the thick gate oxide formed even in the low proof-pressure field like before, over-etching of the trench separation edge is not carried out in the case of this oxide film removal.

[0028]

Therefore, in the semiconductor device which has the low proof-pressure transistor from which the thickness of gate dielectric film differs, and a high proof-pressure transistor, even if it adopts trench separation especially with detailed-izing of a low proof-pressure field, the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered.

[0029]

moreover, the process which removes the silicon nitride 7 of a high proof-pressure field according to the gestalt 2 of this operation — a sentiment — dirty — carrying out — \*\*\*\* — dry cleaning, although it is dirty and a routing counter increases compared with the case where it removes While being able to reduce the damage at the time of dry cleaning dirty, and being able to reduce residual membrane dispersion of the pad oxide film 2 after nitride removal and being able to raise the quality of a semiconductor device The manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered.

[0030]

Furthermore, according to the gestalt 2 of this operation, the gate electrode of a high pressure part and the gate electrode of a low pressure part can be separately formed by different thickness. Although a routing counter increases compared with the case where a gate electrode is formed in coincidence, since the gate electrode 33 of a high proof-pressure MOS transistor is formed previously, and gate dielectric film is not exposed, and it is not exposed to the resist removal process or washing process in various impregnation processes of a low proof-pressure field, the membranous quality of gate dielectric film improves. On the other hand, since thickness of the gate electrode of a low pressure part can be made thin, the process tolerance of a gate electrode improves. In this way, since the dimension of a low proof-pressure transistor can be made small, while manufacture of a semiconductor device with a small chip area is attained, the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered.

[0031]

In addition, although the gestalt of two above-mentioned implementation explained the case of two kinds of gate dielectric film, even if it is the case where the thickness of gate dielectric film becomes three or more kinds, the same effectiveness can be acquired by making a field into a thick-film and thin film side (high pressure-proofing side) (low pressure-proofing side) for 2 minutes.

[0032]

[Effect of the Invention]

**THIS PAGE BLANK (USPTO)**

As mentioned above, in the semiconductor device with which the semiconductor device of this invention carried the high proof-pressure MOS transistor from which gate oxidation thickness differs, and the low proof-pressure MOS transistor in coincidence, the LOCOS separation which, as for a high proof-pressure field, has a BAZU beak configuration with a smooth separation edge, and a low proof-pressure field adopt the trench separation suitable for detailed-ization. In case it is characterized by the manufacture approach forming separately the thick gate oxide of a high proof-pressure field, and the thin gate oxide of a low proof-pressure field in coincidence and the thick gate oxide of a high proof-pressure field is formed, since a low proof-pressure field protects by the oxidation-resistant silicon nitride, a low proof-pressure field does not oxidize and it is not exposed to the removal process of thick gate oxide by it. Therefore, in the semiconductor device which has the low proof-pressure transistor from which the thickness of gate dielectric film differs, and a high proof-pressure transistor, even if it adopts trench separation especially with detailed-izing of a low proof-pressure field, the manufacture approach of the semiconductor device which can prevent degradation of many properties of a low proof-pressure field and a high proof-pressure field can be offered.

[Brief Description of the Drawings]

[Drawing 1] (a) The process sectional view showing the resist pattern formation process in the gestalt 1 of operation

(b) The process sectional view showing the process which forms the slot for isolation in the gestalt 1 of operation  
(c) The process sectional view showing the trench separation formation process in the gestalt 1 of operation

(d) The process sectional view showing the silicon nitride etching process in the gestalt 1 of operation

(e) The process sectional view showing the ion-implantation layer formation process in the gestalt 1 of operation

[Drawing 2] (a) The process sectional view showing the LOCOS separation formation process in the gestalt 1 of operation

(b) The process sectional view showing the silicon nitride removal process in the gestalt 1 of operation

(c) The process sectional view showing the thermal oxidation film formation process in the gestalt 1 of operation

(d) The process sectional view showing the ion-implantation layer formation process in the gestalt 1 of operation

(e) The process sectional view showing the transistor formation process in the gestalt 1 of operation

[Drawing 3] (a) The process sectional view at the time of the isolation completion in the gestalt 1 of operation

(b) The process sectional view of the CVD-SiO<sub>2</sub> film deposition process in the gestalt 2 of operation

(c) The process sectional view of the pattern removal process of the high proof-pressure field in the gestalt 2 of operation

(d) The process sectional view of the gate-dielectric-film formation process of the high proof-pressure transistor in the gestalt 2 of operation

(e) The process sectional view of the gate electrode formation process for high proof-pressure transistors in the gestalt 2 of operation

[Drawing 4] (a) The process sectional view of the oxide-film formation process in the gestalt 2 of operation

(b) The process sectional view of the ion-implantation layer formation process in the gestalt 2 of operation

(c) The process sectional view of the transistor formation process in the gestalt 2 of operation

[Description of Notations]

1 P-type Semiconductor Substrate

2 Pad Oxide Film

3 Silicon Nitride

4 Resist Pattern

5 Slot

6 Trench Separation

7 Silicon Nitride

8 Resist Pattern

9a Silicon nitride pattern

9b Silicon nitride pattern

10 Resist Pattern

11 Ion-Implantation Layer

12a Offset source drain

12b Inside concentration N type diffusion layer

13 LOCOS Separation

14 Offset Source Drain Oxide Film

15 Resist Pattern

16 Thermal Oxidation Film

17 Resist Pattern

18 Ion-Implantation Layer

19 Thermal Oxidation Film

20 Gate Electrode

21 Gate Electrode

22 N Type High Concentration Diffusion Layer

23 N Type LDD Layer

24 N Type High Concentration Diffusion Layer

THIS PAGE BLANK (USPTO)

31 CVD-SiO<sub>2</sub> Film  
32 Resist Pattern  
33 Gate Electrode  
34 Thermal Oxidation Film  
35 Resist Pattern  
36 Ion-Implantation Layer  
37 Thermal Oxidation Film  
38 Gate Electrode

---

[Translation done.]

THIS PAGE BLANK (USPTO)

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] (a) The process sectional view showing the resist pattern formation process in the gestalt 1 of operation  
(b) The process sectional view showing the process which forms the slot for isolation in the gestalt 1 of operation  
(c) The process sectional view showing the trench separation formation process in the gestalt 1 of operation  
(d) The process sectional view showing the silicon nitride etching process in the gestalt 1 of operation  
(e) The process sectional view showing the ion-implantation layer formation process in the gestalt 1 of operation

[Drawing 2] (a) The process sectional view showing the LOCOS separation formation process in the gestalt 1 of operation

(b) The process sectional view showing the silicon nitride removal process in the gestalt 1 of operation  
(c) The process sectional view showing the thermal oxidation film formation process in the gestalt 1 of operation  
(d) The process sectional view showing the ion-implantation layer formation process in the gestalt 1 of operation  
(e) The process sectional view showing the transistor formation process in the gestalt 1 of operation

[Drawing 3] (a) The process sectional view at the time of the isolation completion in the gestalt 1 of operation

(b) The process sectional view of the CVD-SiO<sub>2</sub> film deposition process in the gestalt 2 of operation  
(c) The process sectional view of the pattern removal process of the high proof-pressure field in the gestalt 2 of operation

(d) The process sectional view of the gate-dielectric-film formation process of the high proof-pressure transistor in the gestalt 2 of operation

(e) The process sectional view of the gate electrode formation process for high proof-pressure transistors in the gestalt 2 of operation

[Drawing 4] (a) The process sectional view of the oxide-film formation process in the gestalt 2 of operation

(b) The process sectional view of the ion-implantation layer formation process in the gestalt 2 of operation  
(c) The process sectional view of the transistor formation process in the gestalt 2 of operation

### [Description of Notations]

1 P-type Semiconductor Substrate

2 Pad Oxide Film

3 Silicon Nitride

4 Resist Pattern

5 Slot

6 Trench Separation

7 Silicon Nitride

8 Resist Pattern

9a Silicon nitride pattern

9b Silicon nitride pattern

10 Resist Pattern

11 Ion-Implantation Layer

12a Offset source drain

12b Inside concentration N type diffusion layer

13 LOCOS Separation

14 Offset Source Drain Oxide Film

15 Resist Pattern

16 Thermal Oxidation Film

17 Resist Pattern

18 Ion-Implantation Layer

19 Thermal Oxidation Film

20 Gate Electrode

21 Gate Electrode

22 N Type High Concentration Diffusion Layer

23 N Type LDD Layer

24 N Type High Concentration Diffusion Layer

31 CVD-SiO<sub>2</sub> Film

THIS PAGE BLANK (USPTO)

32 Resist Pattern  
33 Gate Electrode  
34 Thermal Oxidation Film  
35 Resist Pattern  
36 Ion-Implantation Layer  
37 Thermal Oxidation Film  
38 Gate Electrode

---

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-296754  
(P2004-296754A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int.Cl.<sup>7</sup>H01L 27/08  
H01L 21/318  
H01L 21/76  
H01L 21/8234  
H01L 27/088

F 1

H01L 27/08  
H01L 27/08  
H01L 21/76  
H01L 21/76  
H01L 21/94

テーマコード(参考)

331A  
102C  
L  
M  
A4M108  
5F032  
5F048

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願2003-86644 (P2003-86644)

(22) 出願日

平成15年3月27日 (2003.3.27)

(71) 出願人

000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(74) 代理人

100113859  
弁理士 板垣 孝夫

(74) 代理人

100068087  
弁理士 森本 義弘

(72) 発明者

上原 隆  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内

(72) 発明者

岩井 弘尚  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内F ターム(参考) 4M108 AA09 AB04 AB13 AB27 AB36  
AC50

最終頁に続く

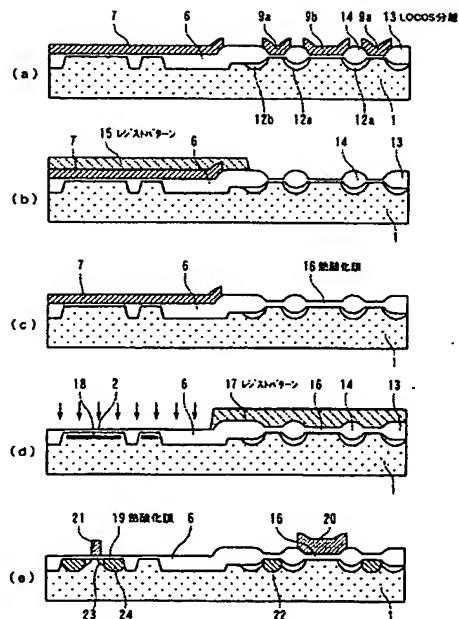
(54) 【発明の名称】半導体装置および半導体装置の製造方法

## (57) 【要約】

【課題】ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することを目的とする。

【解決手段】高耐圧領域の分離は分離端が滑らかなバーズピーク形状を有するLOCOS分離13で、低耐圧領域の分離は微細化に適したトレンチ分離6で行い、高耐圧領域の厚い熱酸化膜16を形成する際に低耐圧領域はシリコン窒化膜7で保護することにより、低耐圧領域の薄い熱酸化膜19と別々に形成する。このことにより、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置および半導体装置の製造方法を提供することができる。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

低耐圧トランジスタと高耐圧トランジスタが同一半導体基板上に混在する半導体装置であって、  
前記低耐圧トランジスタを素子分離するトレンチ分離と、  
前記高耐圧トランジスタを素子分離するL O C O S 分離と  
を有することを特徴とする半導体装置。

**【請求項 2】**

低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、  
半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、  
前記半導体基板の第2の領域にL O C O S 分離である第2の素子分離を形成する工程と、  
前記第1の領域を覆う耐酸化性マスク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、  
前記耐酸化性マスク層を除去して前記第1の領域に半導体基板表面を露出させる工程と、  
前記露出させた第1の領域に第1のトランジスタの薄いゲート絶縁膜を形成する工程と  
を含むことを特徴とする半導体装置の製造方法。

10

**【請求項 3】**

低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、  
半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、  
前記第2の領域に形成されるべき第2のトランジスタの活性領域上と前記第1の領域の全面に耐酸化性マスク層を形成する工程と、  
前記耐酸化性マスク層をマスクとして前記第2の領域の半導体基板を選択的に酸化してL O C O S 分離である第2の素子分離を形成する工程と、  
前記第2のトランジスタの活性領域上の前記耐酸化性マスク層を除去する工程と、  
前記第1の領域を覆う耐酸化性マスク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、  
前記耐酸化性マスク層を除去し、前記第1の領域に半導体基板表面を露出させて第1のトランジスタの薄いゲート絶縁膜を形成する工程と  
を含むことを特徴とする半導体装置の製造方法。

20

**【請求項 4】**

低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、  
半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、  
前記半導体基板の第2の領域にL O C O S 分離である第2の素子分離を形成する工程と、  
前記第1の領域を覆う耐酸化性マスク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、  
前記厚いゲート絶縁膜上に前記第2のトランジスタのゲート電極を形成する工程と、  
前記第2のトランジスタのゲート電極表面に絶縁膜を形成する工程と、  
前記第1の領域上の前記耐酸化性マスク層を除去し、前記第1の領域に半導体基板表面を露出させて第1のトランジスタの薄いゲート絶縁膜を形成する工程と、  
前記薄いゲート絶縁膜上に前記第1のトランジスタのゲート電極を形成する工程と  
を含むことを特徴とする半導体装置の製造方法。

30

**【請求項 5】**

前記第1のトランジスタは低耐圧トランジスタであり、前記第2のトランジスタは高耐圧トランジスタであることを特徴とする請求項2または請求項3または請求項4のいずれかに記載の半導体装置の製造方法。

40

**【請求項 6】**

前記第1のトランジスタのゲート電極は、前記第2のトランジスタのゲート電極より薄い

50

ことを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する利用分野】

本発明は、ゲート絶縁膜の膜厚が互いに異なる低耐圧トランジスタと高耐圧トランジスタおよび異なる構造の素子分離領域を同一半導体チップ上に形成された半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の微細化・高集積化につれて、素子領域および素子分離領域の寸法もますます小さくなっている。従来、素子分離は工程が簡便なLOCOS法が用いられてきたが、素子分離端でのバーズピーク形状が素子寸法全体と比較して無視できなくなってきたおり、バーズピークを抑制した改良型のLOCOS法やさらにはLOCOS法にかわりトレンチ分離(Shallow Trench Isolation; STI)が使用されるようになってきている。

【0003】

半導体装置の微細化・高集積化にあわせてゲート絶縁膜も薄膜化され、信頼性上の問題から電源電圧も合わせて低電圧化している。一方、システム上の問題から、従来の高い電源電圧との併用が必要となり、それに合わせて半導体基板上に膜厚の異なる複数のゲート絶縁膜を形成することが一般的になりつつある。顕著な例として、液晶ドライバー用半導体装置等ではチップ内部の一般的な低電圧駆動CMOS回路では3V程度の電圧が用いられ、ゲート絶縁膜も~10nm程度であるが、別に表示パネル駆動のために~40V程度の電圧が必要であり、高耐圧MOSトランジスタ用として~100nm程度の厚いゲート絶縁膜が依然として使用されている。この様にゲート絶縁膜厚の大きく異なるトランジスタを同一半導体装置内に形成することが必要となってきている。

【0004】

膜厚の異なる複数のゲート絶縁膜を同一装置上に形成する方法として、従来の半導体装置の製造方法は、初めにLOCOS法による素子分離を形成し、その後熱酸化により全面に高耐圧用MOSトランジスタの第1のゲート絶縁膜(厚膜)を形成し、高耐圧領域をレジストマスクで覆った後、低耐圧トランジスタ形成領域の第1のゲート絶縁膜をウェットエッチにより除去した後、レジストを除去して熱酸化により全面に第2のゲート絶縁膜(薄膜)を形成するのが一般的である(例えば、特許文献1参照)。

【0005】

しかしながら、この方法では、低耐圧MOSトランジスタ形成領域は第1の厚いゲート絶縁膜の形成および第1の厚いゲート絶縁膜の除去工程が施され、素子分離端の絶縁膜がゲート絶縁膜の除去によるオーバーエッチにより後退してしまう。素子分離がLOCOS分離の場合には分離端はバーズピーク形状のため、分離端の絶縁膜が相当量後退しても分離端は滑らかな形状を維持できる。しかし、微細な低耐圧微細MOSトランジスタ領域で使用されているトレンチ分離では分離端が急峻な形状のため、オーバーエッチにより分離端で絶縁膜が大きく下方に後退し半導体基板の活性領域が突き出た形状になるとハンプ現象や逆ナローチャネル特性のような素子特性の低下、分離端におけるゲート絶縁膜の信頼性の劣化が起こるという問題点があった。

【0006】

第2の従来の製造方法の例としては、初めにLOCOS法による素子分離を形成し、低耐圧MOSトランジスタ形成領域を保護する膜を形成した後、高耐圧領域に第1のゲート絶縁膜(厚膜)および第1のゲート電極を形成し、その保護膜を除去した後、低耐圧領域に第2のゲート絶縁膜(薄膜)および第2のゲート電極を形成する方法も提案されている(例えば、特許文献2参照)。この方法によれば、素子分離をトレンチ分離で形成しても分離領域絶縁膜のエッティングがされないので低耐圧領域における素子特性の低下やゲート絶縁膜の信頼性の劣化といった問題点を回避することができる。

10

20

30

40

50

[0 0 0 7]

### 【特許文献】

特開2001-176983号公報

[0 0 0 81]

[特許文献2]

特開平6-196639号公報

100091

### 【発明が解決】しようとする課題】

【発明が解決しようとする課題】  
素子分離を微細パターンを有する低耐圧トランジスタ形成領域の要求に合わせてバーズビーグを抑制した改良型のLOCOS分離やトレンチ分離に変更していくと、上記第1の従来の製造方法においてはすでに述べたように低耐圧領域でのハンプ現象や逆ナローチャネル特性のような素子特性の低下やゲート絶縁膜の信頼性の劣化が問題となり、その対策が必要である。

[0 0 1 0]

これに対して上記第2の従来の製造方法では前記したようにトレンチ分離にしたときであっても素子特性の低下や信頼性の劣化は回避可能であるが、次の点で問題点が残る。すなわち、素子分離をトレンチ分離にすると当然高耐圧領域においてもトレンチ分離となる。従来のLOCOS分離を使用する限り分離端が滑らかなバーズビーク形状を有するために、高耐圧用の厚いゲート絶縁膜を形成しても素子特性・分離特性の劣化等は見られないが、トレンチ分離を採用しゲート熱酸化膜を厚く形成すると、急峻な分離端の形状のために熱ストレスが増大し、半導体基板に欠陥が誘起されて接合リーク等の不良を引き起こしてしまうという問題が生じる。

[0011]

本発明は上記問題点に鑑み、ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することができる半導体装置の製造方法を提供することを目的とする。

[0012]

## 【課題を解決するための手段】

上記目的を達成するために本発明の請求項1記載の半導体装置、低耐圧トランジスタと高耐圧トランジスタが同一半導体基板上に混在する半導体装置であって、前記低耐圧トランジスタを素子分離するトレンチ分離と、前記高耐圧トランジスタを素子分離するLOCOS分離とを有することを特徴とする。

[0 0 1 3]

請求項2記載の半導体装置の製造方法は、低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、前記半導体基板の第2の領域にLOCOS分離である第2の素子分離を形成する工程と、前記第1の領域を覆う耐酸化性マスク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、前記耐酸化性マスク層を除去して前記第1の領域に半導体基板表面を露出させる工程と、前記露出させた第1の領域に第1のトランジスタの薄いゲート絶縁膜を形成する工程とを含むことを特徴とする。

[0 0 1 4]

請求項3記載の半導体装置の製造方法は、低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、前記第2の領域に形成されるべき第2のトランジスタの活性領域上と前記第1の領域の全面に耐酸化性マスク層を形成する工程と、前記耐酸化性マスク層をマスクとして前記第2の領域の半導体基板を選択的に酸化してLOCOS分離である第2の素子分離を形成する工程と、前記第2のトランジスタの活性領域上の前記耐酸化性マスク層を除去する工程と、前記第1の領域を覆う耐酸化性マ

スク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、前記耐酸化性マスク層を除去し、前記第1の領域に半導体基板表面を露出させて第1のトランジスタの薄いゲート絶縁膜を形成する工程とを含むことを特徴とする。

【0015】

請求項4記載の半導体装置の製造方法は、低耐圧トランジスタと高耐圧トランジスタを同一半導体基板上に形成する半導体装置の製造方法において、半導体基板の第1の領域にトレンチ分離である第1の素子分離を形成する工程と、前記半導体基板の第2の領域にLOCOS分離である第2の素子分離を形成する工程と、前記第1の領域を覆う耐酸化性マスク層をマスクとして前記第2の領域に露出した前記半導体基板の表面に第2のトランジスタの厚いゲート絶縁膜を形成する工程と、前記厚いゲート絶縁膜上に前記第2のトランジスタのゲート電極を形成する工程と、前記第2のトランジスタのゲート電極表面に絶縁膜を形成する工程と、前記第1の領域上の前記耐酸化性マスク層を除去し、前記第1の領域に半導体基板表面を露出させて第1のトランジスタの薄いゲート絶縁膜を形成する工程と、前記薄いゲート絶縁膜上に前記第1のトランジスタのゲート電極を形成する工程とを含むことを特徴とする。  
10

【0016】

請求項5記載の半導体装置の製造方法は、請求項2または請求項3または請求項4のいずれかに記載の半導体装置の製造方法において、前記第1のトランジスタは低耐圧トランジスタであり、前記第2のトランジスタは高耐圧トランジスタであることを特徴とする。  
20

【0017】

請求項6記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法において、前記第1のトランジスタのゲート電極は、前記第2のトランジスタのゲート電極より薄いことを特徴とする。

【0018】

以上のように、ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。

【0019】

【発明の実施の形態】

以下本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

以下、図1、図2の工程断面図を用いて本発明の実施の形態1による半導体装置の製造方法について説明する。ここでは、高耐圧および低耐圧MOSトランジスタを同一半導体基板上に形成する半導体装置を示している。また、図において左半分の領域は低耐圧トランジスタの形成領域、右半分の領域は高耐圧トランジスタの形成領域である。

【0020】

図1(a)は実施の形態1におけるレジストパターン形成工程を示す工程断面図、図1(b)は実施の形態1における素子分離用の溝を形成する工程を示す工程断面図、図1(c)は実施の形態1におけるトレンチ分離形成工程を示す工程断面図、図1(d)は実施の形態1におけるシリコン窒化膜エッチング工程を示す工程断面図、図1(e)は実施の形態1におけるイオン注入層形成工程を示す工程断面図、図2(a)は実施の形態1におけるLOCOS分離形成工程を示す工程断面図、図2(b)は実施の形態1におけるシリコン窒化膜除去工程を示す工程断面図、図2(c)は実施の形態1における熱酸化膜形成工程を示す工程断面図、図2(d)は実施の形態1におけるイオン注入層形成工程を示す工程断面図、図2(e)は実施の形態1におけるトランジスタ形成工程を示す工程断面図である。  
40

【0021】

まず、図1(a)において、P型半導体基板1上に10nmのパッド酸化膜2および10  
50

0 nmのシリコン窒化膜3を順次形成し、低耐圧領域の素子分離領域を形成するためのレジストパターン4を形成する。次に、図1 (b)において、レジストパターン4をマスクにシリコン窒化膜3、パッド酸化膜2およびP型半導体基板1を総量300 nmエッチングして素子分離用の溝5を形成し、レジストパターン4を除去する。その後、図1 (c)において、熱酸化およびCVD法により埋め込み酸化膜を溝5内部に形成し、CMP(化学機械研磨)により表面の平坦化を行い、シリコン窒化膜3を全面除去して、低耐圧領域に素子分離としてのトレンチ分離6を形成する。次に、図1 (d)において、全面に200 nmのシリコン窒化膜7を形成し、今度は高耐圧領域の素子分離領域などを形成するためのレジストパターン8を形成し、レジストパターン8をマスクにシリコン窒化膜7をエッチングする。このとき、高耐圧トランジスタ形成領域のシリコン窒化膜パターン9aはソース・ドレイン領域を規定し、シリコン窒化膜パターン9bは高耐圧トランジスタのチャンネル領域を規定するものである。すなわち9a、9bはトランジスタの活性領域を規定する。次に、図1 (e)において、レジストパターン8を除去した後、別のレジストパターン10を形成してリンイオンの注入を行いイオン注入層11を形成する。この注入は、高耐圧トランジスタのチャンネル領域の両側にN型オフセットソース・ドレインを形成するためのものである。次に、図2 (a)において、レジストパターン10を除去し、シリコン窒化膜パターン9a、9bを含むシリコン窒化膜7をマスクとして熱酸化することにより、高耐圧領域に素子分離としてのLOCOS分離13および高耐圧トランジスタのオフセットソース・ドレイン酸化膜14を形成する。この酸化工程において、イオン注入層11はP型半導体基板1内に拡散しオフセットソース・ドレイン12aおよび中濃度N型拡散層12bが同時に形成される。その後、図2 (b)において、低耐圧領域を覆うレジストパターン15を形成し、高耐圧領域のシリコン窒化膜9a、9bをドライエッチにより除去する。次に、図2 (c)において、レジストパターン15を除去し、高耐圧領域にチャンネル領域のしきい値電圧などを設定するイオン注入を行い、工程の最初に形成したパッド酸化膜2をウェットエッチングにより除去してP型半導体基板1表面を露出させ、高耐圧トランジスタの厚いゲート絶縁膜として110 nmの熱酸化膜16を形成する。その後、図2 (d)において、低耐圧領域のシリコン窒化膜7を除去し、レジストパターン17を形成して低耐圧領域に低耐圧トランジスタのしきい値電圧を決定するイオン注入層18やチャンネルストップ形成用のイオン注入を行い、レジストパターン17を除去する。そして、図2 (e)において、この低耐圧トランジスタの活性領域のパッド酸化膜2をウェットエッチにより除去し、低耐圧トランジスタの薄いゲート絶縁膜として15 nmの熱酸化膜19を形成する。その後、全面にシリコン膜を300 nm堆積し、リソグラフィ、エッチングによりゲート電極20、21を形成する。この後は通常の製造方法に従って低耐圧領域のN型LDD層23、ソース、ドレインとなるN型高濃度拡散層22、24を形成し、トランジスタが形成される。

### 【0022】

以上説明したように実施の形態1における半導体装置の製造方法によれば、高耐圧領域は素子分離端が滑らかなバーズビーク形状を有し、高耐圧MOSトランジスタの特性劣化を引き起こさない従来のLOCOS分離で形成され、低耐圧領域は微細化に適したトレンチ分離で形成される。特に、高耐圧領域では、従来どおり一般に高耐圧トランジスタとして使用されているLOCOSオフセット構造をLOCOS分離形成と同時に形成することができる。また、ゲート酸化膜を高耐圧領域と低耐圧領域で別々に形成するため、高耐圧領域の厚いゲート酸化膜を形成する前工程において(図2 (b)～(c))、低耐圧領域は、まだシリコン窒化膜7で覆われているため、低耐圧領域に高耐圧トランジスタ用の厚いゲート酸化がなされることなく、したがって当然その厚いゲート酸化膜を除去する工程にもさらされない。これは、トレンチ分離6の分離端がゲート用熱酸化膜16の除去工程のオーバーエッチングによって全くエッチングされないことを意味する。

### 【0023】

ここで、図2 (d)～(e)の低耐圧トランジスタ用ゲート熱酸化膜19形成前工程にもパッド酸化膜2を除去する工程があるが、パッド酸化膜自体の膜厚は10 nmと薄くトレ

10

20

30

40

50

ンチ分離 6 の分離端をほとんどエッチングしない。

【0024】

したがって、ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。

(実施の形態 2)

以下、図 3、図 4 の工程断面図を用いて本発明の実施の形態 2 による半導体装置の製造方法について説明する。この半導体装置も実施の形態 1 と同じく高耐圧および低耐圧MOSトランジスタを同一半導体基板上に形成する半導体装置であり、図において左半分の領域は低耐圧トランジスタの形成領域、右半分の領域は高耐圧トランジスタの形成領域となっており、以下図面に沿って説明する。

【0025】

図 3 (a) は実施の形態 1 における素子分離完成時の工程断面図、図 3 (b) は実施の形態 2 におけるCVD-SiO<sub>2</sub>膜堆積工程の工程断面図、図 3 (c) は実施の形態 2 における高耐圧領域のパターン除去工程の工程断面図、図 3 (d) は実施の形態 2 における高耐圧トランジスタのゲート絶縁膜形成工程の工程断面図、図 3 (e) は実施の形態 2 における高耐圧トランジスタ用のゲート電極形成工程の工程断面図、図 4 (a) は実施の形態 2 における酸化膜形成工程の工程断面図、図 4 (b) は実施の形態 2 におけるイオン注入層形成工程の工程断面図、図 4 (c) は実施の形態 2 におけるトランジスタ形成工程の工程断面図である。

【0026】

半導体基板の低耐圧領域にトレンチ分離、および高耐圧領域にLOCOS分離を形成する工程は、実施の形態 1 (図 1 (a) ~ 図 2 (a)) と同じであり、工程断面図およびLOCOS分離を形成するまでの工程の説明は省略する。図 3 (a) は実施の形態 1 と同様の工程で素子分離まで完成した断面図である。この工程の後、図 3 (b) において、全面にCVD-SiO<sub>2</sub>膜 3 1 を 20 nm 堆積し、低耐圧MOSトランジスタを形成する領域を覆うレジストパターン 3 2 を形成する。その後、レジストパターン 3 2 をマスクにしてCVD-SiO<sub>2</sub>膜 3 1 を選択的にエッチングし、レジストパターン 3 2 を除去する。次に、図 3 (c) において、パターンニングされたCVD-SiO<sub>2</sub>膜 3 1 をマスクに高耐圧領域のパターン 9 a、9 b を熱リソグラフィなどで選択的にウェットエッチにより除去する。その後、図 3 (d) において、高耐圧領域に最初に形成したパッド酸化膜 2 を通して高耐圧MOSトランジスタのしきい値電圧設定などのため、P型半導体基板 1 のチャネル領域にイオン注入を行い、高耐圧領域のパッド酸化膜 2 およびCVD-SiO<sub>2</sub>膜 3 1 を同時にウェットエッチングにより除去してP型半導体基板 1 表面を露出させ、高耐圧トランジスタのゲート絶縁膜として 110 nm の熱酸化膜 1 6 を形成する。さらに、図 3 (e) において、全面に不純物をドープしたシリコン膜を 300 nm 堆積し、リソグラフィ、エッチングにより高耐圧トランジスタ用の第 1 のゲート電極 3 3 を形成する。その後、図 4 (a) において、熱酸化により第 1 のゲート電極 3 3 を保護する酸化膜 3 4 を 20 nm 形成した後、低耐圧領域に残していたシリコン窒化膜 7 を除去する。次に、図 4 (b) において、レジストパターン 3 5 を高耐圧MOSトランジスタを形成する領域に形成し、これをマスクとして低耐圧領域に、最初に形成したパッド酸化膜 2 を通して低耐圧MOSトランジスタのしきい値電圧設定用イオン注入をP型半導体基板 1 に行いイオン注入層 3 6 を形成する。そして、図 4 (c) において、レジスト 3 5 を除去した後、パッド酸化膜 2 をウェットエッチにより除去してP型半導体基板 1 の表面を露出させ、低耐圧トランジスタのゲート絶縁膜として 15 nm の熱酸化膜 3 7 を形成する。その後、全面に不純物をドープしたシリコン膜を 150 nm 堆積し、リソグラフィ、エッチングにより第 2 のゲート電極 3 8 を形成する。この際、第 1 ゲート電極 3 3 は酸化膜 3 4 で覆われているために第 2 ゲート電極用シリコン膜のエッチングのときも保護されエッチングされることがない。この後、イオン注入によって低耐圧MOSトランジスタのN型LDD層 2 3 や低耐圧MOSトラン

ジスタのソース・ドレイン 24、高耐圧MOSトランジスタのN型高濃度ソース・ドレンを形成し、トランジスタが形成される。

【0027】

以上説明したように実施の形態2における半導体装置の製造方法によれば、高耐圧領域は素子分離端が滑らかなバーズピーク形状を有し、高耐圧MOSトランジスタの特性劣化を引き起こさない従来のLOCOS分離で形成され、低耐圧領域は微細化に適したトレンチ分離で形成される。また、高耐圧領域の厚いゲート酸化膜を形成する際には、低耐圧領域は耐酸化性のシリコン窒化膜7で覆われているため、低耐圧領域のシリコン基板表面が酸化されることはない。したがって、従来のように低耐圧領域にまで形成された厚いゲート酸化膜を除去する必要がないから、この酸化膜除去の際トレンチ分離端部がオーバーエッチされない。  
10

【0028】

したがって、ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。

【0029】

また、本実施の形態2によれば、高耐圧領域のシリコン窒化膜7を除去する工程をウェットエッチで行っており、ドライエッチで除去する場合に比べて工程数は多くなるが、ドライエッチ時のダメージを低減でき、かつ窒化膜除去後のパッド酸化膜2の残膜ばらつきを低減することができ、半導体装置の品質を向上させることができると共に、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。  
20

【0030】

さらに、本実施の形態2によれば、高耐圧部のゲート電極と低耐圧部のゲート電極を異なる厚さで別々に形成することができる。ゲート電極を同時に形成する場合に比べて工程数は多くなるが、先に高耐圧MOSトランジスタのゲート電極33が形成されゲート絶縁膜が露出しないため、低耐圧領域の各種注入工程でのレジスト除去工程や洗浄工程にさらされないのでゲート絶縁膜の膜質が向上する。一方、低耐圧部のゲート電極の膜厚を薄くすることができるためゲート電極の加工精度が向上する。こうして低耐圧トランジスタの寸法を小さくできるからチップ面積の小さい半導体装置が製造可能となるとともに、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。  
30

【0031】

なお、上記2つの実施の形態では2種類のゲート絶縁膜の場合について説明したが、ゲート絶縁膜の膜厚が3種類以上になった場合であっても領域を厚膜側（高耐圧側）と薄膜側（低耐圧側）に2分することにより、同様の効果を得ることができる。

【0032】

【発明の効果】

以上のように、本発明の半導体装置は、ゲート酸化膜厚が異なる高耐圧MOSトランジスタと低耐圧MOSトランジスタとを同時に搭載した半導体装置において、高耐圧領域は分離端が滑らかなバーズピーク形状を有するLOCOS分離、低耐圧領域は微細化に適したトレンチ分離を採用する。同時に、その製造方法は、高耐圧領域の厚いゲート酸化膜と低耐圧領域の薄いゲート酸化膜を別々に形成することを特徴とし、高耐圧領域の厚いゲート酸化膜を形成する際に、低耐圧領域は耐酸化性のシリコン窒化膜で保護するため、低耐圧領域が酸化されず厚いゲート酸化膜の除去工程にさらされることがない。したがって、ゲート絶縁膜の膜厚が異なる低耐圧トランジスタと高耐圧トランジスタを有する半導体装置において、低耐圧領域の微細化に伴って特にトレンチ分離を採用しても、低耐圧領域と高耐圧領域の諸特性の劣化を防止することのできる半導体装置の製造方法を提供することができる。  
40  
50

## 【図面の簡単な説明】

【図1】 (a) 実施の形態1におけるレジストパターン形成工程を示す工程断面図  
 (b) 実施の形態1における素子分離用の溝を形成する工程を示す工程断面図  
 (c) 実施の形態1におけるトレンチ分離形成工程を示す工程断面図  
 (d) 実施の形態1におけるシリコン窒化膜エッチング工程を示す工程断面図  
 (e) 実施の形態1におけるイオン注入層形成工程を示す工程断面図

【図2】 (a) 実施の形態1におけるLOCOS分離形成工程を示す工程断面図  
 (b) 実施の形態1におけるシリコン窒化膜除去工程を示す工程断面図  
 (c) 実施の形態1における熱酸化膜形成工程を示す工程断面図  
 (d) 実施の形態1におけるイオン注入層形成工程を示す工程断面図  
 (e) 実施の形態1におけるトランジスタ形成工程を示す工程断面図

【図3】 (a) 実施の形態1における素子分離完成時の工程断面図  
 (b) 実施の形態2におけるCVD-SiO<sub>2</sub>膜堆積工程の工程断面図  
 (c) 実施の形態2における高耐圧領域のパターン除去工程の工程断面図  
 (d) 実施の形態2における高耐圧トランジスタのゲート絶縁膜形成工程の工程断面図  
 (e) 実施の形態2における高耐圧トランジスタ用のゲート電極形成工程の工程断面図

【図4】 (a) 実施の形態2における酸化膜形成工程の工程断面図  
 (b) 実施の形態2におけるイオン注入層形成工程の工程断面図  
 (c) 実施の形態2におけるトランジスタ形成工程の工程断面図

## 【符号の説明】

1 P型半導体基板  
 2 パッド酸化膜  
 3 シリコン窒化膜  
 4 レジストパターン  
 5 溝  
 6 トレンチ分離  
 7 シリコン窒化膜  
 8 レジストパターン  
 9 a シリコン窒化膜パターン  
 9 b シリコン窒化膜パターン  
 10 レジストパターン  
 11 イオン注入層  
 12 a オフセットソース・ドレイン  
 12 b 中濃度N型拡散層  
 13 LOCOS分離  
 14 オフセットソース・ドレイン酸化膜  
 15 レジストパターン  
 16 热酸化膜  
 17 レジストパターン  
 18 イオン注入層  
 19 热酸化膜  
 20 ゲート電極  
 21 ゲート電極  
 22 N型高濃度拡散層  
 23 N型LDD層  
 24 N型高濃度拡散層  
 31 CVD-SiO<sub>2</sub>膜  
 32 レジストパターン  
 33 ゲート電極  
 34 热酸化膜

10

20

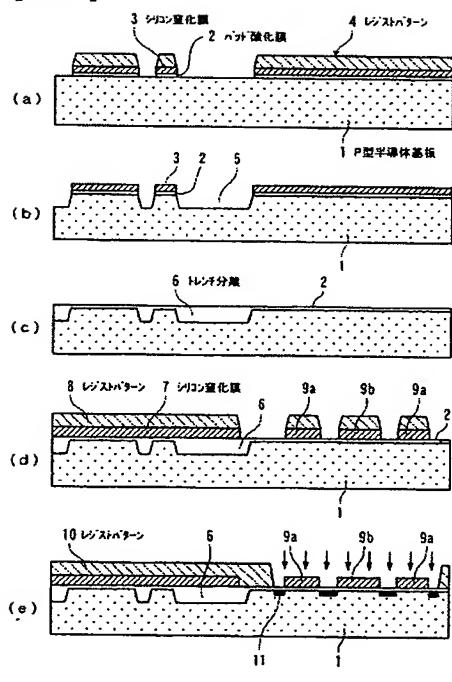
30

40

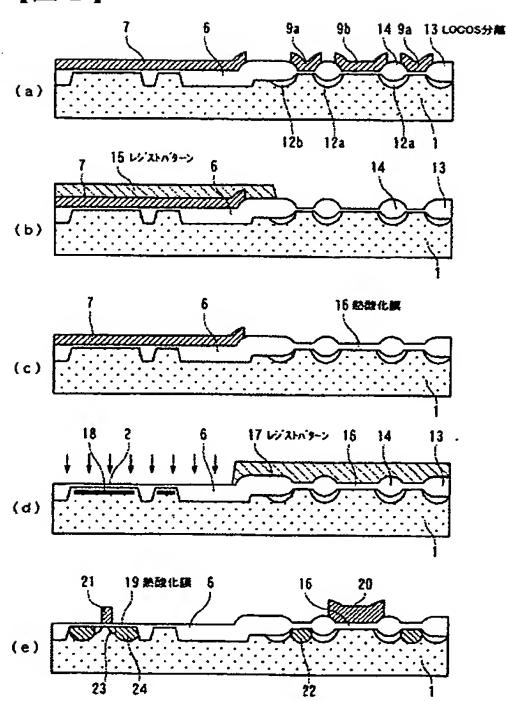
50

3 5 レジストパターン  
 3 6 イオン注入層  
 3 7 热酸化膜  
 3 8 ゲート電極

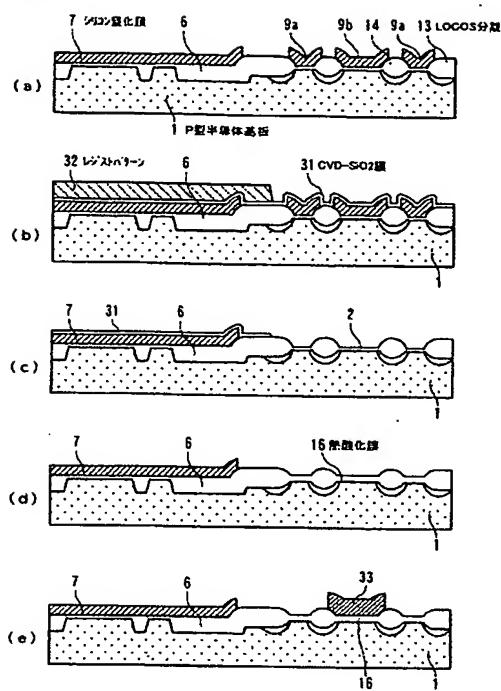
【図 1】



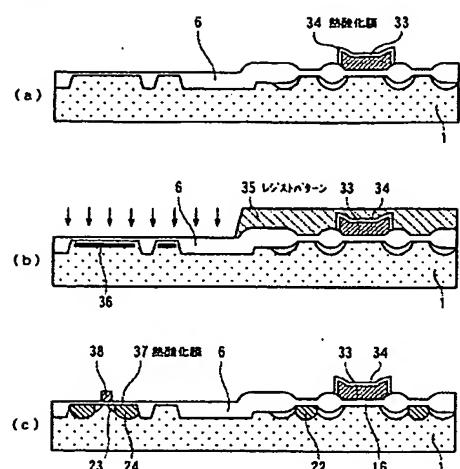
【図 2】



【図3】



【図4】



---

フロントページの続き

F ターム(参考) 5F032 AA14 AA35 AA44 AA84 BB01 CA17 CA24 CA25 DA22  
5F048 AA04 AA05 AA07 AC01 AC06 BA01 BA20 BB05 BB16 BC01  
BC06 BC18 BD04 BG12 BG13 BH07